

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-162091

(43)Date of publication of application : 23.06.1995

(51)Int.Cl.

H01S 3/18

(21)Application number : 05-340381

(71)Applicant : NIPPON TELEGR & TELEPH CORP  
<NTT>

(22)Date of filing : 09.12.1993

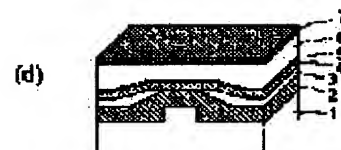
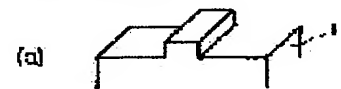
(72)Inventor : KONDO YASUHIRO  
YAMAMOTO MITSUO  
NAKAO MASASHI

## (54) MANUFACTURE OF BURIED STRUCTURE SEMICONDUCTOR LASER

## (57)Abstract:

PURPOSE: To manufacture a buried structure semiconductor laser using a p-type semiconductor substrate by a simple process.

CONSTITUTION: After a mesa stripe structure of <011> direction having a side face making an angle of less than  $54^\circ$  along with a p-type (100) InP substrate 1 is formed on this substrate 1, a p-InP buffer layer 2 is grown by organic metal vapor growth method to form a ridge structure. Further, the whole face of this InP substrate 1 is doped with Se by organic metal vapor growth method over a range of  $8 \times 10^{18} \text{cm}^{-3}$  or more, so that an n-type semiconductor current block layer 3, a p-type semiconductor clad layer 4, an active layer 5, an n-type semiconductor clad layer 6, and a p-type semiconductor cap layer 7 are deposited one after another.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]



[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 7 - 1 6 2 0 9 1

(43) 公開日 平成 7 年 (1995) 6 月 23 日

(51) Int. Cl. <sup>6</sup>

H 0 1 S 3/18

識別記号

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 4

F D

(全 6 頁)

(21) 出願番号 特願平 5 - 340381

(22) 出願日 平成 5 年 (1993) 12 月 9 日

(71) 出願人 000004226

日本電信電話株式会社

東京都千代田区内幸町一丁目 1 番 6 号

(72) 発明者 近藤 康洋

東京都千代田区内幸町一丁目 1 番 6 号 日本  
電信電話株式会社内

(72) 発明者 山本 ▲ミツ▼夫

東京都千代田区内幸町一丁目 1 番 6 号 日本  
電信電話株式会社内

(72) 発明者 中尾 正史

東京都千代田区内幸町一丁目 1 番 6 号 日本  
電信電話株式会社内

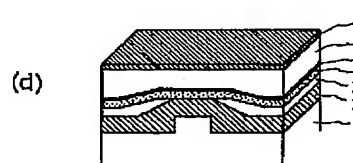
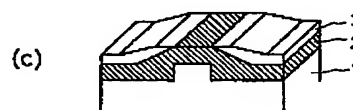
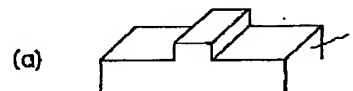
(74) 代理人 弁理士 山川 政樹

(54) 【発明の名称】 埋め込み構造半導体レーザの製造方法

(57) 【要約】

【目的】 p 形半導体基板を用いた埋め込み構造半導体レーザを簡単な作製工程で作製する。

【構成】 p 形 (100) InP 基板 1 上にこの InP 基板 1 とのなす角が 54 度未満の側面を有する (011) 方向のメサストライプ構造を形成した後、有機金属気相成長法により p 形 InP バッファ層 2 を成長してリッジ構造を形成し、この InP 基板 1 の全面に有機金属気相成長法により Se を  $8 \times 10^{18} \text{ cm}^{-3}$  以上の範囲でドーピングして n 形半導体電流ブロック層 3、p 形半導体クラッド層 4、活性層 5、n 形半導体クラッド層 6 および p 形半導体キャップ層 7 を順次堆積形成する。



## 【特許請求の範囲】

【請求項1】 p形(100) III-V族化合物半導体基板上に〈011〉方向のメサストライプを形成する工程と、

前記半導体基板の全面に有機金属気相成長法により所定の濃度のVI族元素をドーピングしたn形半導体電流ブロック層、p形半導体クラッド層、活性層、n形半導体クラッド層およびp形半導体キャップ層を堆積する工程と、

を有することを特徴とする埋め込み構造半導体レーザの製造方法。

【請求項2】 請求項1において、前記〈011〉方向のメサストライプを、前記半導体基板と側面とのなす角が所定角度以下の〈011〉方向のメサストライプ形成した後にp形InPバッファ層を堆積することによって形成することを特徴とする埋め込み構造半導体レーザの製造方法。

【請求項3】 請求項1または請求項2において、前記n形半導体電流ブロック層を堆積した後に前記半導体基板表面をエッチングしてメサストライプ上のみに前記n形半導体電流ブロック層直下のp形層を露出させることを特徴とする埋め込み構造半導体レーザの製造方法。

【請求項4】 請求項3において、前記半導体基板表面のエッチングを有機金属気相成長装置内でエッチング性ガスを使用して行うことを特徴とする埋め込み構造半導体レーザの製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、有機金属気相成長法を用いた埋め込み構造半導体レーザの製造方法に関するものである。

## 【0002】

【従来の技術】通常、低閾値電流、高効率の半導体レーザを作製するためには、埋め込み構造を形成することが必要である。一般に有機金属気相成長法で埋め込み構造を形成するためには、上部に選択成長マスクを有する活性領域を含んだメサストライプの形成および選択成長によるメサストライプの埋め込み工程が必要であり、作製工程が複雑になる。レーザ作製プロセスを簡略化するためには、選択成長マスクを使用しないで活性層を有するメサ構造を埋め込む技術が重要になる。

【0003】図3は、例えば特願平3-285470号(特開平5-102607号公報)に開示されている半導体レーザおよびその製造方法を説明する工程の斜視図である。同図において、まず、図3(a)に示すように(100)面n形InP基板1上にn形InPバッファ層3、アンドープInGaAsP活性層4およびp形InPクラッド層5を有機金属気相成長法(MOVPE)法によって成長する。

【0004】次に図3(b)に示すようにフォトリソグ

ラフ技術と選択エッチングとによって〈011〉方向にストライプ幅1.5μm、高さ1.0μm程度のメサ構造を形成する。

【0005】次に図3(c)に示すようにMOVPE法を用いてp形InP電流ブロック層6を成長してリッジ構造を形成し、さらにその上にSeドーブn形InP電流閉じ込め層7を成長する。このとき、n形InP層7のSeドーピング濃度を $8 \times 10^{18} \text{ cm}^{-3}$ 以上にすると、リッジ構造頂上部のn形InP層7の成長が完全に抑制され、リッジ構造頂上部にn形InP層7は堆積せず、p形InP層6が表面に出ている層構造になる。また、リッジ構造頂上部以外はn形InP層7が残っているため、p形InP層6、n形InP層7はリッジ構造の活性層に対して電流狭窄層および光閉じ込め層として働く。

【0006】次に図3(d)に示すようにp形InPオーバークラッド層8、p形InGaAsPキャップ層9を成長する。

【0007】このようにして製作した素子は、選択成長マスクを用いた埋め込み成長を行う工程を不要として簡単な製作工程で埋め込み構造レーザ素子を製作することができる。

## 【0008】

【発明が解決しようとする課題】ところで、多電極レーザなどの成長面を上にしてボンディングすることが必要なレーザ構造の場合、駆動用の電子回路との整合性を考慮すると、p形半導体基板を用い、成長側(上面)がn形電極であることが望ましい。しかしながら、前述した半導体レーザの製造方法は、n形半導体基板を用いた場合のみに作製可能であり、p形半導体基板を用いた場合には不可能であるという問題があった。

【0009】その理由は、p形半導体基板を用いた半導体レーザで活性層堆積後に電流ブロック層を形成するためには、前述した方法で用いていたn形半導体の選択成長ではなく、電導形が反転してp形半導体の選択的成長層が必要となる。前述した方法は、VI族ドーパント(n形ドーパント)の成長抑制効果を用いたものであり、p形半導体層のリッジ構造頂上部での成長を抑制することは不可能である。

【0010】したがって、本発明は、前述した従来の課題を解決するためになされたものであり、その目的は、p形半導体基板を用いた埋め込み構造半導体レーザを簡単な作製工程で作製することができる埋め込み構造半導体レーザの製造方法を提供することにある。また、本発明の他の目的は、広い範囲(メサ構造、n形InP電流ブロック層の成長条件)において、簡単な作製工程で良好な発振特性が得られる埋め込み構造半導体レーザを作製することができる埋め込み構造半導体レーザの製造方法を提供することにある。また、本発明のさらに他の目的は、成長条件などの変化に影響されることなく、再現

性良く、高い歩留まりで埋め込み構造半導体レーザを作製することができる埋め込み構造半導体レーザの製造方法を提供することにある。

#### 【0011】

【課題を解決するための手段】このような目的を達成するために本発明による埋め込み構造半導体レーザの製造方法は、p形(100) III-V 族化合物半導体基板上に〈011〉方向のメサストライプを形成する工程と、半導体基板の全面に有機金属気相成長法により所定の濃度のVI族元素をドーピングしたn形半導体電流ブロック層、p形半導体クラッド層、活性層、n形半導体クラッド層およびp形半導体キャップ層を堆積する工程とを有している。

【0012】また、本発明による他の埋め込み構造半導体レーザの製造方法は、前記方法において、〈011〉方向のメサストライプを、半導体基板と側面とのなす角が所定角度以下の〈011〉方向のメサストライプを形成した後p形InPバッファ層を堆積することによって形成する。さらに本発明による他の埋め込み構造半導体レーザの製造方法は、前記方法において、n形半導体電流ブロック層を堆積した後半導体基板の表面をエッチングしてメサストライプ上だけにこのn形半導体電流ブロック層直下のp形層を露出させる。また、本発明による他の埋め込み構造半導体レーザの製造方法は、前記方法において、半導体基板表面のエッチングを有機金属気相成長装置内でエッチング性ガスを使用して行う。

【0013】ここで、前述した埋め込み構造半導体レーザの製造方法を説明すると、次のようになる。n形半導体層の選択成長を用いてp形半導体基板上のレーザ構造に電流ブロック構造を形成できる製造工程として活性層を成長する前のp形半導体層中にn形半導体によって電流ブロック層を形成する方法が考えられる。つまり、まず、p形半導体基板上にメサストライプを形成し、その半導体基板上にVI族元素を高ドーピングしたn形半導体層を形成する。このとき、高VI族ドーパントn形半導体層はメサ上部のみには成長せず、電流ブロック層を形成する。その後、p形クラッド層、活性層、n形クラッド層およびn形キャップ層を成長する。この方法によりn形半導体層の選択成長を用いてp形半導体基板上に電流ブロック構造を簡単な製造工程で作製することが可能となる。

【0014】また、前述した製造方法では、p形半導体基板上に成長するn形電流ブロック層はメサストライプ上では完全に成長抑制が行われなければいけないが、そのための条件は限定されたもの(例えば図4に示されたメサ幅1.1μm程度、Se濃度が $8 \times 10^{18} \text{ cm}^{-3}$ 以上の範囲)になり、再現性を確保するには十分な配慮が必要になる。

【0015】しかし、n形InP層の成長を完全に抑制できなくても、メサ構造上部のn形InP層と他の領域

とで十分な膜厚の違いを実現することは容易である。例えば図4に示すようにメサ幅Wが広く3.5μm程度であっても、VI族ドーパント濃度が $8 \times 10^{18} \text{ cm}^{-3}$ 以上の場合、また、メサ幅Wが1.1μm程度であれば、VI族ドーパント濃度が $5 \times 10^{18} \text{ cm}^{-3}$ 以上の場合は、メサ上のn形InP層の成長速度は1/2以下に抑制され、他の領域と十分な膜厚の違いを実現できる。そこでn形層まで成長した後、成長面をエッチングすることにより、メサ上のn形層のみを除去してp形層を表面に出すことができる。したがって、その後、p形クラッド層、活性層、n形クラッド層、n形キャップ層を形成することにより、電流ブロック構造を簡単な製造工程で作製することができる。また、このエッチングは半導体基板の全面を均等に行えば十分であるので、エッチング工程はパターニングなどの前処理が不要となり、反応炉内でのエッチング性ガスを用いたエッチングなどにより、簡単に行うことが可能である。

#### 【0016】

【作用】本発明における埋め込み構造半導体レーザの製造方法によれば、p形半導体基板を用いた埋め込み構造半導体レーザを簡単な工程で作製することが可能になる。さらに表面エッチングを用いた工程は、より広い範囲(メサ構造、n形InP電流ブロック層の成長条件)において簡単な作製工程で良好な発振特性を示す埋め込み構造半導体レーザを作製することが可能であり、成長条件などの変化に影響されることがなく、再現性良く、高い歩留まりで実現できる。

#### 【0017】

【実施例】以下、図面を用いて本発明の実施例を詳細に説明する。

(実施例1)図1(a)~(d)は、本発明による埋め込み構造半導体レーザの製造方法の一実施例を説明する工程の斜視図である。同図において、まず、図1(a)に示すように(100)面p形InP基板1上にフォトリソグラフィ技術および選択エッチングによって〈011〉方向にこのp形InP基板1とのなす角が54度未満の側面を有するストライプ幅約1.5μm、高さ約1.0μm程度のメサ構造を形成する。

【0018】次に図1(b)に示すように有機金属気相成長(MOVPE)法を用いて膜厚約1.0μmのp形InPバッファ層2を成長する。このとき、エッチングによって形成されたメサ形状は、その表面にp形InP層が成長することによって側面が(311)面に近い面の上部が(100)面が形成されたリッジ構造になる。

【0019】次に図1(c)に示すように厚さ約0.5μmのSeドーパントn形InP電流ブロック層3を成長する。このとき、n形InP電流ブロック層3のSeドーピング濃度を $5 \times 10^{18} \text{ cm}^{-3}$ 以上にすると、リッジ構造頂上部にはn形InP電流ブロック層3は成長せずメサ構造頂上部以外のみに成長するため、n形InP電

流ブロック層3はメサ構造の活性層に対して電流ブロック層として働く。

【0020】次に図1(d)に示すように厚さ約0.5  $\mu\text{m}$ のp形InPクラッド層4、厚さ約0.1  $\mu\text{m}$ のアンダーInGaAsP活性層5、厚さ約1.5  $\mu\text{m}$ のn形InPクラッド層6および厚さ約0.4  $\mu\text{m}$ のn形InGaAsPキャップ層7を順次成長する。

【0021】このようにして製作した埋め込み構造のレーザ素子は、選択成長マスクを用いた埋め込み成長を行う工程を不要としてp形InP基板1上に簡単な作製工程で製作することができる。

【0022】(実施例2)図2(a)～(e)は、本発明による埋め込み構造半導体レーザの製造方法の他の実施例を説明する工程の斜視図である。同図において、まず、図2(a)に示すように(100)面p形InP基板1上にフォトリソグラフィ技術および選択エッチングによって<011>方向にストライプ幅約1.5  $\mu\text{m}$ 、高さ約1.0  $\mu\text{m}$ 程度のメサ構造を形成する。

【0023】次に図2(b)に示すように有機金属気相成長(MOVPE)法を用いて厚さ約1.0  $\mu\text{m}$ のp形InPバッファ層2を成長する。このとき、エッチングによって形成されたメサ形状は、その表面にp形InP層が成長することによって側面が(311)面に近い面の上部が(100)面が形成されたリッジ構造になる。

【0024】次に図2(c)に示すように厚さ約1.0  $\mu\text{m}$ のSeドープn形InP電流ブロック層3を成長する。このとき、n形InP電流ブロック層3のSeドープ濃度を $5 \times 10^{18} \text{cm}^{-3}$ 以上にすると、リッジ構造頂上部のn形InP電流ブロック層3はメサ構造頂上部以外のn形InP電流ブロック層3の約1/2以下しか成長しない。

【0025】次に図2(d)に示すように反応管中に塩化水素ガスを流し、成長面全面を約0.5  $\mu\text{m}$ の厚さでエッチングする。このとき、メサ構造頂上部はn形InP層3が成長抑制され、その膜厚は約0.5  $\mu\text{m}$ 以下になっているので、p形InP層2が表面に現れる。また、メサ構造頂上部以外はn形InP層3が残っているため、メサ構造の活性層に対して電流ブロック層として働く。

【0026】次に図2(e)に示すように厚さ約0.5  $\mu\text{m}$ のp形InPクラッド層4、厚さ約0.1  $\mu\text{m}$ のアンダーInGaAsP活性層5、厚さ約1.5  $\mu\text{m}$ のn形InPクラッド層6および厚さ約0.4  $\mu\text{m}$ のn形InGaAsPキャップ層7を順次成長する。

【0027】このようにして製作した埋め込み構造のレーザ素子は、選択成長マスクを用いた埋め込み成長を行う工程を不要としてp形InP基板1上に簡単な作製工程で製作することができる。また、n形InP層3の堆積において、メサ上での完全な成長抑制が必要でないの

い再現性、高歩留まりが実現できる。

【0028】なお、前述した実施例1および実施例2においては、p形InP基板1の表面をフォトリソグラフィ技術および選択エッチングを用いて図1(a)のメサ構造を形成する代わりに予め図1(b)の形状のリッジ構造を形成しておき、図1(c)以下の工程を反応管の中で行っても同様な効果が得られる。

【0029】また、前述した実施例1および実施例2においては、p形InP基板1の表面にメサ構造を形成した後にこのメサ構造を有するp形InP基板1上にp形InPバッファ層2を堆積し、さらにSeドープn形InP電流ブロック層3を堆積した後にエッチングを行ってメサストライプ上のみにp形InPバッファ層2を露出させた場合について説明したが、本発明はこれに限定されるものではなく、メサ構造を有するp形InP基板1上にSeドープn形InP電流ブロック層3を堆積した後にエッチングを行ってメサストライプ上のみにp形InP基板1を露出させても前述と同様の効果が得られる。

【0030】また、前述した実施例1および実施例2においては、反応管内に塩素ガスを流してn形InP電流ブロック層3のエッチングを行ったが、例えば一旦、反応管から取り出し、ウェットエッチングをするなどの他のエッチング方法を用いても、同様の効果が得られる。

【0031】また、前述した実施例1および実施例2においては、n形InP電流ブロック層3に使用するドーパントはSeなどの他のVI族ドーパントであってもリッジ構造頂上部における成長抑制効果がある。

【0032】また、前述した実施例1および実施例2においては、InP系の半導体レーザについて説明したが、GaAs系などの他のIII-V族化合物半導体レーザであっても同様の効果が得られる。

【0033】

【発明の効果】以上、説明したように本発明によれば、p形半導体基板上の埋め込み構造半導体レーザの製造に選択成長マスクを用いた埋め込み成長工程が不要となり、簡単な作製工程で製作することができる。また、エッチング工程を併用することにより、n形電流ブロック層の堆積においてメサ上での完全な成長抑制が不要となり、広い範囲(メサ構造、成長条件)においてレーザ素子が作製可能になる。つまり、成長条件の変化などに影響を受けにくくなるので、高い再現性、歩留まりが実現可能になり、また、種々の素子構造に応用可能となるなどの極めて優れた効果が得られる。

【図面の簡単な説明】

【図1】本発明による埋め込み構造半導体レーザの製造方法の一実施例を説明する各工程の断面図である。

【図2】本発明による埋め込み構造半導体レーザの製造方法の他の実施例を説明する各工程の断面図である。

【図3】従来の埋め込み構造半導体レーザの製造方法を

7

8

説明する各工程の断面図である。

【図4】メサ上に成長したn形InP層厚のドーピング濃度依存性を示す図である。

【符号の説明】

1 p形InP基板

2 p形InPバッファ層

3 Seドーブn形InP電流ブロック層

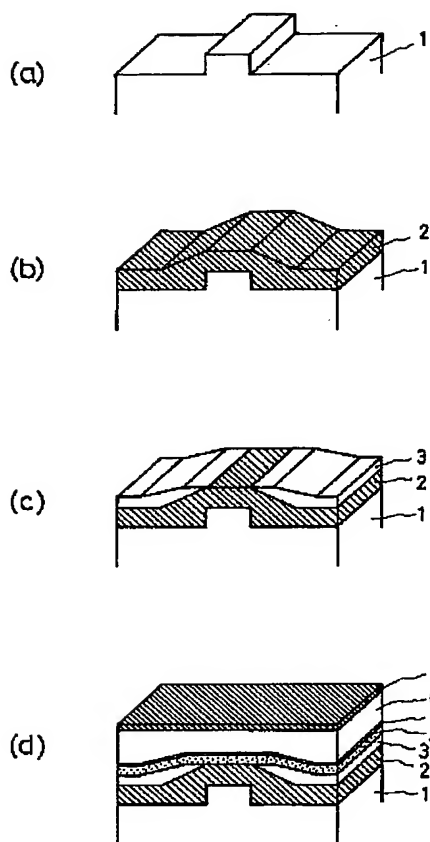
4 p形InPクラッド層

5 活性層

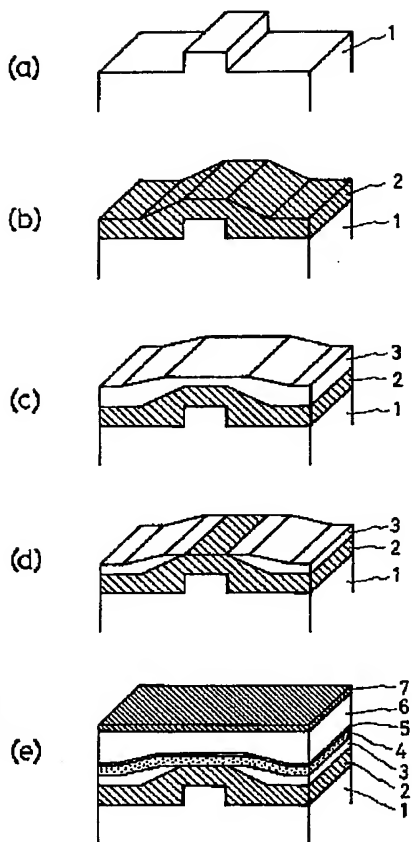
6 n形InPクラッド層

7 n形InGaAsPキャップ層

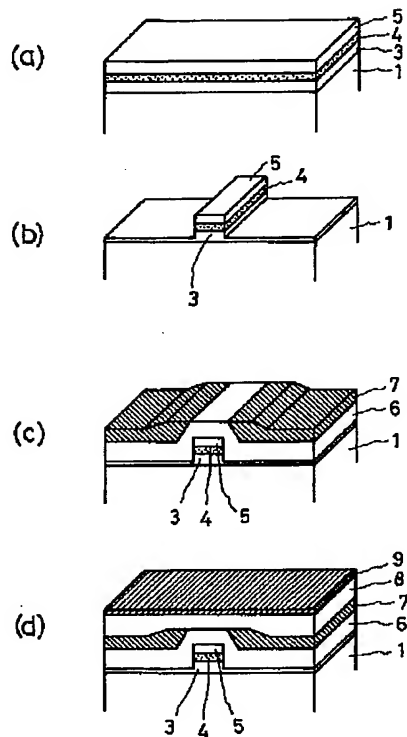
【図1】



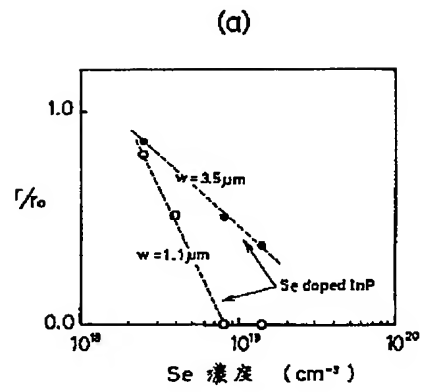
【図2】



【図3】



【図4】



(b)

